

## АННОТАЦИЯ

Известны быстродействующие устройства для приведения чисел по модулю с предварительным определением вычитаемого модуля, которые строятся на базе трех двоичных сумматоров. Такие устройства характеризуются большими аппаратными расходами, особенно при построении матричных и конвейерных схем. На основе одного двоичного сумматора и трех схем сравнения предлагается быстродействующий формирователь частичных остатков. Это позволяет значительно упростить аппаратные затраты для приведения различных разрядных чисел по модулю для предварительного определения вычитаемого модуля. Предложенный формирователь частичных остатков проверен с помощью запуска на платформе Artix-7 от компании Xilinx языком проектирования Verilog.